Министерство образования Республики Беларусь

Учреждение образования

«Минский государственный колледж электроники»

Специальность

**2-41 01 02 Микро- и наноэлектронные технологии и системы**

**Учебный предмет**

**«Проектирование микроэлектронных устройств»**

**Курсовой проект**

**Проектирование интегральной микросхемы логического элемента на многоэмиттерном транзисторе**

**Пояснительная записка**

КП 57МНЭ.016.00.00.000 ПЗ

**Разработал Р.П. Масленко**

**Руководитель Л.Н. Семенова**

**Оценка:**

**2022**

Содержание

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | Проектирование интегральной микросхемы логического элемента на многоэмиттерном транзисторе  Пояснительная записка | Лит. | | | Масса | | Масштаб |
| Изм. | Лист | № докум | Подпись | Дата |  |  |  |  | |  |
| Разраб. | | Масленко Р.П. |  |  |
| Провер. | | Семенова Л.Н. |  |  |
| Т. Контр. | |  |  |  | Лист 2 | | | | Листов 25 | |
| Реценз. | |  |  |  | МГКЭ | | | | | |
| Н. Контр. | | Семенова Л.Н. |  |  |
| Утверд. | |  |  |  |

Введение……………………………………………………………………………….3

1 Анализ задания на проектирование. Принцип работы устройства ...................4

2 Обоснование и выбор реализации устройства………………………….............5

2.1 Выбор способа реализации ИМС………………………………………………..7

2.2 Выбор изоляции ИМС...........................................................................................11

2.3 Выбор структуры подложки…………………………….………………………12

3 Расчет и выбор элементов схемы.................................………………................13

3.1 Расчет биполярного транзистора......……………………………………………14

3.2 Расчет полупроводникового диода…............................................……………..16

3.3 Расчет полупроводникового резистора..........………………………………….17

4 Составление схемы коммутации устройства.........................................……...19

5 Проектирование топологии микросхемы с учетом конструктивно-технологических ограничений.................................................................................хх

6 Выполнение эскиза топологии микросхемы.....................................................хх

7 Проведение проверочных расчетов устройства...............................................хх

8 Выбор окончательного варианта топологии микросхемы..............................хх

9 Выполнение топологического чертежа микросхемы.......................................хх

10 Выполнение чертежей видов на соответствующие слои.................................хх

11 Выбор корпуса микросхемы...............................................................................хх

12 Выполнение сборочного чертежа микросхемы................................................хх

13 Разработка технологической карты изготовления микросхемы.....................хх

Заключение…………………………………………………………………………..24

Список использованных источников………………………………………………25

Введение

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 3 |
| Изм. | Лист | № докум | Подпись | Дата |

Интегральная микросхема (ИМС) — это конструктивно законченное микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки сигналов (информации), содержащее большое число электрически связанных между собой электрорадиоэлементов (транзисторов, диодов, конденсаторов, резисторов и т.д.), изготовленных в едином технологическом процессе. Микросхемы изготавливают групповым методом, одновременно в одной партии может быть от нескольких десятков до нескольких тысяч микросхем.

По конструктивно-технологическому принципу микросхемы делят на три группы: полупроводниковые, пленочные и гибридные.

В полупроводниковых микросхемах основой являются кристаллы полупроводника. Все элементы микросхемы — диоды, транзисторы, резисторы и соединения между ними — выполняют в объеме и на поверхности кристалла в процессе одного технологического цикла. Микросхема может содержать от десятков до тысячи элементов. По типу применяемых транзисторов полупроводниковые ИМС подразделяют на биполярные и МОП.

В пленочной интегральной микросхеме все элементы и соединения между ними выполняются в виде различных пленок, нанесенных на поверхность диэлектрической подложки. В настоящее время методом пленочной технологии изготавливают только пассивные компоненты — резисторы, конденсаторы и индуктивности, а также проводники. Так, если нужно создать резистор, то напыляется полоска металла. Для создания конденсатора на участок основания наносится слой проводника, потом диэлектрика, затем снова проводника и т.д.

В зависимости от толщины пленки и способа создания элементов пленочные микросхемы делят на тонко- и толстопленочные. К первому типу относятся микросхемы с толщиной пленки более 1 мкм, а толщина пленки в толстопленочной микросхеме составляет 10...70 мкм.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 4 |
| Изм. | Лист | № докум | Подпись | Дата |

В гибридных интегральных схемах в качестве активных элементов используют навесные дискретные полупроводниковые приборы или полупроводниковые ИМС, а в качестве пассивных элементов — пленочные резисторы, конденсаторы, индуктивности и соединяющие их пленочные проводники.

Для защиты от внешних воздействий ИМС помещают в герметичные металлические или пластмассовые корпуса. Корпус микросхемы имеет внешние выводы для монтажа и маркировку. По размерам и объему корпус значительно превосходит саму микросхему.

По функциональному назначению и характеру выполняемых операций интегральные микросхемы делятся на аналоговые и цифровые.

Аналоговые микросхемы применяют в качестве усилителей, генераторов, стабилизаторов тока и напряжения и других устройств, которые работают с сигналами в виде непрерывных функций.

Цифровые интегральные микросхемы предназначены для преобразования и обработки дискретных сигналов (сигналов в виде последовательности импульсов). Они используются в вычислительной технике, автоматике, бытовой радиоэлектронной аппаратуре.

Показателем сложности микросхемы является степень интеграции К, которая характеризует число содержащихся в ней элементов и компонентов N (К= lg АО, К округляют до ближайшего большего целого числа.

По степени интеграции ИМС делятся на:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 5 |
| Изм. | Лист | № докум | Подпись | Дата |

* малые интегральные схемы (МИС) — имеют степень интеграции 1 и 2, в состав которых входят один или несколько видов функциональных аналоговых или логических элементов (логические элементы И, ИЛИ, НЕ, триггеры, усилители, фильтры и т.д.);
* средние интегральные схемы (СИС) — это схемы со степенью интеграции 1 и 2, в состав которых входят один или несколько одинаковых функциональных узлов электронных устройств (регистр, дешифратор, счетчик, постоянно запоминающее устройство);
* большие интегральные схемы (БИС) — это схемы со степенью интеграции 3, 4, в состав которых входят один или несколько функциональных устройств (арифметико-логическое устройство, оперативное запоминающее устройство и т.д.);
* сверхбольшие интегральные схемы (СБИС) — это интегральные схемы со степенью интеграции 5—7, представляющие собой законченные микроэлектронные изделия, способные выполнять функции аппаратуры (однокристальные ЭВМ, микропроцессоры).

1 Анализ задания на проектирование. Принцип работы устройства

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 6 |
| Изм. | Лист | № докум | Подпись | Дата |

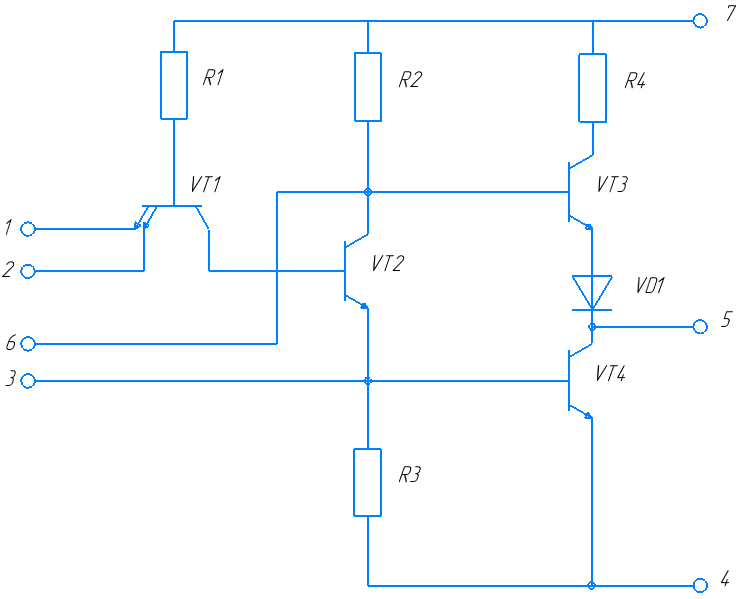


Рисунок 1.1 – Схема электрическая принципиальная. Логический элемент на многоэмиттерном транзисторе

Широкое распространение получили логические элементы транзисторно-транзисторной логики (ТТЛ). Рассмотрим принципиальную схему логического элемента 2И-НЕ транзисторно-транзисторной логики со сложным инвертором на выходе. Такие логические элементы имеют хорошую нагрузочную способность.

На рисунке 1.1 приведена принципиальная схема одного из четырех логических элементов 2И-НЕ микросхемы К134ЛБ1.

Первые логические элементы ТТЛ не имели на входах защитных диодов. В момент окончания прямоугольного импульса на входе элемента в монтажных цепях цифрового устройства могут возникнуть затухающие колебания. Следствием этих колебаний может быть ложное срабатывание цифрового устройства. В результате доработки логических элементов к каждому входу многоэмиттерного транзистора

были подключены демпфирующие диоды. Первым отрицательным импульсом затухающего колебания демпфирующий диод открывается, и амплитуда затухающих колебаний резко уменьшается. Следующий положительный импульс затухающего колебания уже не может изменить состояние на выходе логического элемента.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 6 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассмотрим работу логического элемента 2И-НЕ микросхемы К134ЛБ1 (рисунок 1.1). для логических элементов транзисторно-транзисторной логики напряжение логического нуля по техническим условиям может быть 0 – 0.4 В. Напряжение логической единицы – не менее 2.4 В и не более 5 В. Напряжение логического нуля можно подать, соединив вход элемента с общим проводом накоротко, либо через резистор малого сопротивления (не более 300 Ом). Напряжение логической единицы на вход элемента можно подать, соединив вход элемента с плюсовым проводом питания через резистор сопротивлением 1 кОм, либо оставляя вход элемента свободным.

Пусть на входы 1 и 2 элемента 2И-НЕ (рисунок 1.1) поданы напряжения логической единицы. Рассмотрим случай, когда 1 и 2 никуда не подключены. В этом случае транзисторы VТ2, VТ4 будут открыты токами базы, протекающими по цепи: + источника, резистор R1, переход база-коллектор VТ1, база-эмиттер VТ2, база-эмиттер VТ4, минус источника. Транзистор VТ3 в этом случае закрыт, т.к. потенциал коллектора транзистора VT2 примерно 0,9 В.

Рассмотрим делитель напряжения, верхнее плечо которого состоит из последовательно соединенных резистора R3, выводов коллектор-эмиттер транзистора VТ3, диода VД1, а нижнее плечо делителя – это выводы коллектор-эмиттер VТ4. В рассматриваемом случае сопротивление верхней части делителя велико, а сопротивление нижней части делителя - мало. Выходное напряжение соответствует логическому нулю.

Если хотя бы на одном из входов Х1, Х2 действует логический нуль, то VТ2, VТ4 закрыты, а VТ3 открыт. Ток базы транзистора VT3 протекает по цепи: плюс источника питания, резистор R2, переход база-эмиттер транзистора VT3, полупроводниковый диод VD1, резистор нагрузки (на схеме не показан), минус источника питания. В этом случае сопротивление между коллектором

транзистора.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 5 |
| Изм. | Лист | № докум | Подпись | Дата |

VT3 и катодом диода VD1 мало, а сопротивление между коллектором и эмиттером транзистора VT4 велико. Анализируя делитель напряжения, приходим к выводу, что выходное напряжение логического элемента будет соответствовать логической единице.

2 Обоснование и выбор реализации устройства и технологии изготовления микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 7 |
| Изм. | Лист | № докум | Подпись | Дата |

2.1 Выбор способа реализации ИМС

Полупроводниковые интегральные микросхемы получили широкое применение в основном из-за массового их использования в вычислительной технике.

Полупроводниковые ИМС – интегральная микросхема, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности кристалла полупроводниковой подложки.

Полупроводниковые интегральные микросхемы изготовляют на основе планарной технологии полупроводниковых приборов. Все элементы полупроводниковых ИМС (транзисторы, диоды, резисторы, конденсаторы и др.) формируют в едином технологическом потоке в тонком поверхностном слое полупроводниковой пластины (подложки) диаметром 40-150 мм и толщиной 0.2-0,4 мм.

По сравнению с гибридными ИС полупроводниковые микросхемы имеют наиболее высокое число элементов в единице объема и наибольшую надёжность, т.е. наименьшую интенсивность отказов.

Недостаток полупроводниковых ИМС:

* Характеристики ИС в области высоких частот ухудшается из-за наличия паразитных емкостей;
* Пассивные элементы ИС имеют большие значения температурных коэффициентов;

2.2 Выбор изоляции ИМС

В одном кристалле полупроводниковой ИМС различными методами формируются отдельные элементы в схему, а также могут формироваться несколько отдельных схем (областей). Все элементы и компоненты схем, и отдельные схемы (области) находятся на очень малом расстоянии друг от друга, что требует обеспечения хороших изоляционных свойств между элементами и схемами для исключения нежелательных паразитных емкостных, индуктивных и резистивных связей между ними.

Наиболее распространенными методами изоляции элементов и компонентов, а также отдельных схем (областей), являются метод изоляции обратно смещенным электронно-дырочным *р-п-*переходом, диэлектрическая изоляция с помощью диэлектрика Si02и комбинированный метод изоляции, выполняемые по планарной технологии.

Количество и процент выхода годных микросхем зависит от изоляции элементов.

Существуют паразитные связи, и изоляция служит для их подавления.

Изоляция элементов полупроводниковых микросхем с помощью обратно смещенного *p–n* перехода кроме указанного имеет и другие принципиально неустранимые недостатки. К ним относятся: большая паразитная емкость изолирующих *p–n* переходов и появление дополнительных паразитных элементов в структуре микросхемы; необходимость подачи на изолирующий *p–n* переход определенного по величине и знаку напряжения смещения; наличие четырехслойных структур *n–p–n*и *p–n–p* типа, которые обладают положительной обратной связью по току, вследствие чего при воздействии на них ионизирующих факторов увеличение тока через эти структуры будет приводить к еще большему его возрастанию.

Указанные недостатки не позволяют добиться существенных успехов в росте быстродействия микросхем, увеличения степени их интеграции, радиационной стойкости и стабильности в интервале температур.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 8 |
| Изм. | Лист | № докум | Подпись | Дата |

Основными недостатками конструкций с **диэлектрической изоляцией** элементов являются: сложный технологический процесс и малый выход годных микросхем; плохой отвод тепла от элементов микросхемы в подложку, поскольку тепловое сопротивление диэлектрических материалов в десятки раз больше теплового сопротивления монокристаллического кремния; трудность создания разводки из–за сравнительно большого перепада высот рельефа поверхности в структурах КНД; высокая плотность дефектов структуры в изолированных островках кремния и низкая воспроизводимость параметров элементов микросхем.

Комбинированная изоляция сочетает технологичность изоляции *p–n* переходом и высокие качества диэлектрической изоляции: элементы микросхемы со стороны подложки изолированы обратно–смещенными *p–n* переходами, а с боковых сторон – диэлектриком (окислом, стеклом, керамикой, поликремнием и т.д.). Таким образом, изоляция *p–n* переходами заменяется изоляцией диэлектриком в наиболее уязвимом приповерхностном слое и с боковых сторон.

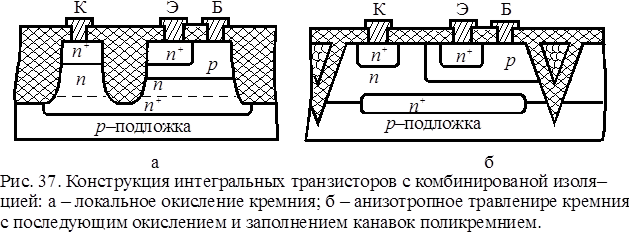


Рисунок 2.2.1 Конструкция интегральных транзисторов с комбинированной изоляцией : а - локальное окисление кремния ; б - анизотропное травление кремния с последующим окислением и заполнением канавок поликремнием.

Наибольшее распространение сегодня получили такие варианты комбинированной изоляции, как локальное окисление (изопланарная технология) (рис. 2.1, а) и вертикальное анизотропное травление с последующем заполнением канавок поликристаллическим кремнием (полипланарная технология) (рис. 2.1, б).

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 9 |
| Изм. | Лист | № докум | Подпись | Дата |

В основе технологических процессов лежит локальное сквозное “прокисление” или протравление тонкого (2…3 мкм) эпитаксиального слоя кремния *n*–типа, в результате этот слой оказывается разделенным на островки, в которых формируются элементы микросхем.

Комбинированная изоляция позволяет уменьшить паразитные емкости изолированных областей на подложку за счет устранения боковых участков *p–n* переходов (см. рис. 2.1), устранить токи утечки в области выхода *p–n* переходов на поверхность и на боковых участках *p–n* переходов (см. рис. 2.1). В то же время при методе комбинированной изоляции удается обеспечить хорошие условия теплоотвода и увеличить степень интеграции элементов в микросхеме за счет сокращения площади, отводимой под изоляцию.

Комбинированный метод изоляции является самым эффективным, но также самым дорогим с точки зрения технологического процесса и сложным в практической реализации. Но данный метод имеет достаточное количество преимуществ перед другими методами. Комбинированный метод сильно понижает паразитные емкости и токи утечки, в отличии от более дешевого метода изоляции p-n переходом. Также имеет хорошие условия для теплоотвода.

Самым главным плюсом является высокая степень интеграции ИМС.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 10 |
| Изм. | Лист | № докум | Подпись | Дата |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 11 |
| Изм. | Лист | № докум | Подпись | Дата |

2.3 Выбор структуры подложки

Подложка ИС – несущая часть ИС, на или в которой формируются слои, элементы и компоненты ИС.

Подложка является одним из важнейших конструктивных элементов ИС.

Подложка ИС выполняет конструктивно-технологические и электрические функции, являясь обычно изолятором между элементами ИС.

Подложки полупроводниковых микросхем могут быть проводящими и непроводящими. Вопрос о выборе материалов при конструировании полупроводниковых микросхем решается в зависимости от многочисленных факторов. Прежде всего принимаются во внимание электрические и другие параметры, которыми должна обладать микросхема. В качестве материала для проводящих подложек чаще всего используют монокристаллический кремний в виде пластин диаметром 60…150 мм и толщиной 250…400 мкм. Технология изготовления пластин должна обеспечивать необходимое качество обработки поверхности, причем рабочая поверхность обрабатывается до14-го класса чистоты, а нерабочая – до 12-го класса. Поверхность подложки ориентируется параллельно плоскости (111), (100) или (110).

Очень часто для изготовления полупроводниковых микросхем используют двухслойные кремниевые эпитаксиальные пластины различных марок, а также эпитаксиальные структуры со скрытым n+-слоем (рис. 5.1), состоящие из трех слоев: слоя кремния проводимостью р-типа; локального низкоомного слоя кремния проводимостью n-типа (скрытый n+-слой); эпитаксиального слоя кремния n-типа.

К диэлектрическим подложкам предъявляются следующие требования?

1.Материал подложки должен обладать малыми значениями тангенса угла диэлектрических потерь tgd и относительной диэлектрической проницаемости e. Это обеспечивает получение минимальных токов утечки и паразитных емкостей между областями монокристаллического кремния.

2.Механическая прочность подложки должна быть высокой даже при небольшой толщине.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 12 |
| Изм. | Лист | № докум | Подпись | Дата |

3.Рабочая поверхность подложки должна поддаваться обработке не ниже, чем до 14-го класса чистоты.

4.Коэффициент термического расширения (КТР) материала подложки должен быть согласован с КТР монокристаллического кремния.

5.Материал подложки должен обладать высокой химической стойкостью относительно воздействия жидких и газовых сред, применяемых в процессе производства полупроводниковых микросхем.

6. Материал подложки должен иметь высокую теплопроводность для обеспечения отвода тепла от элементов микросхем.

Эпитаксиальные пластины кремния применяются в производстве высокопроизводительных микросхем, радиационно-стойкой электроники, дискретных приборов на контактах металл-полупроводник. Основным преимуществом данных пластин по сравнению с пластинами монокристаллического кремния является наличие p-n перехода между приборным слоем и основной частью подложки — это позволяет уменьшить токи утечки, паразитные явления между соседними элементами, а значит снизить электрическую мощность, потребляемую конечными изделиями.

Конкурентные преимуществак данному типу пластин:

1. Превосходное кристаллическое совершенство эпитаксиальных слоев за счет высочайшей степени предэпитаксиальной доочистки процессных газов и реагентов.

2. Уникальная технология подавления автолегирования при выращивании толстых и сверх-высокоомных эпитаксиальных слоев.

3. Эффективное соотношение стоимости и характеристик эпитаксиальных структур за счет групповой обработки.

4. Возможность поставки структур малыми партиями.

3 Расчет и выбор элементов схемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 12 |
| Изм. | Лист | № докум | Подпись | Дата |

3.1. Расчет биполярного транзистора

Таблица 3.1.1 – Исходные данные для расчета биполярного транзистора

|  |  |
| --- | --- |
| Максимальное напряжение К-Б (Uкбmax), B | 15 |
| Рабочее напряжение К-Б (Uкбраб), В | 5 |
| Максимальное напряжение Э-К (Uэкmax), В | 20 |
| Рабочее напряжение Э-К (Uэкраб), В | 10 |
| Мощность рассеивания (Pрасс), Вт | 0,1 |
| Максимальная мощность рассеивания (Ррассmax), Вт | 0,15 |
| Ток эмиттера (Iэ), мА | 1 |
| Максимальный ток коллектора (Iкmax), мА | 20 |
| Глубина залегания p-n перехода (Xjk), мкм | 2,5 |

По заданному максимально допустимому напряжению Uкбmax определим пробивное напряжение Uпроб:

Относительно диапазона Uпроб выбираем коэффициент запаса k = 1.2…2 => k = 1.5.

Uпроб = Uкбmax · k = 15 · 1.5 = 22.5 В

По графику зависимости концентрации носителей от пробивного напряжения определяем Nдк = 5 · 1016 см-3

Рассчитаем удельное сопротивление коллекторного перехода:

Определим характеристическую длину в распределении примесей акцепторов La:

Для расчета ширины объемного заряда на коллекторном и эмиттерном переходах, предварительно вычисляем потенциал:

Контактную разность потенциалов на коллекторном переходе вычисляют по формуле:

Где φT – тепловой потенциал = 0,026 В при Т = 300 К;

ni – концентрация собственных носителей заряда в кремнии 1010 см-3

Рассчитываем ширину области объемного заряда, распространяющегося в сторону базы и в сторону коллекторного перехода при максимальном смещении коллекторного перехода :

Выбираем ширину технологической базы, которая должна быть больше ширины слоя объемного заряда на коллекторном переходе , так как последний будет иметь максимальную ширину при :

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 13 |
| Изм. | Лист | № докум | Подпись | Дата |

Находим размеры коллектора, имеющего квадратную форму со стороной h, где:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 14 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем полное сопротивление цепи методом эквивалентных преобразований.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 15 |
| Изм. | Лист | № докум | Подпись | Дата |

Комплексы сопротивлений для ветви (2,3).

Ẕ2,3 =

Ẕ2,3 =

Полное сопротивление цепи:

Ẕ1,2,3 = Ẕ1 + Ẕ2,3

Ẕ1,2,3 =

Рассчитаем напряжение в цепи и токи в ветвях:

Ů = U

Ů

İ = İ1 =

İ =

Ů2,3 = İ1  Z2,3

Ů2,3 = (В)

İ2 =

İ2 = (А)

İ3 = (А)

2.2 Определение активной, реактивной и полной мощностей цепи.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 16 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем мощности источника:

Определяем полную комплексную мощность цепи:

Ŝ = Ů · I\* = S

S =

Ŝ =

Sист = 905,12 ВА

Pист = 640, 017 Вт

Qист = -640,017 вар

Рассчитаем мощности потребителя:

Pпотр = P1 + P2 + P3 =

Pпотр =

Qпотр = QC - QL =

Qпотр =

Sпотр =

Sпотр =

2.3 Построение диаграммы токов и напряжений

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 17 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем напряжения на каждом элементе в цепи:

UR1 = I1 · R1 = 5,657 · 15 = 84,855 (В)

UR2 = I2 · R2 = 4 · 6 = 24 (В)

UR3 = I2 · R3 = 4 · 4 = 16 (В)

UXL = I1 · XL = 5,657 · 25 = 141,425 (B)

UXC = I3 · XC = 4 · 10 = 40 (B)

Для построения диаграммы возьмем масштаб 1:1.

Строим топографическую векторную диаграмму на комплексной плоскости. Выбираем масштаб: MI = 1 A/см; MU = 20 В/см. Определяем длины векторов токов и напряжений:

UR1 = 4,24 (см)

UR2 = 1,2 (см)

UR3 = 0,8 (см)

UXL = 7,07 (см)

UXC = 2 (см)

I1 = 5,657 (см)

I2 = I3 = 4 (см)

На комплексной плоскости в масштабе откладываем векторы токов в соответствии с расчетными значениями, при этом положительные фазовые углы отсчитываем от оси (+1) против часовой стрелки, а отрицательные – по часовой стрелке. Построение векторов напряжений ведем, соблюдая порядок расположения элементов цепи и ориентируя векторы напряжений относительно векторов тока: на активном сопротивлении ток и напряжение совпадают по фазе, на индуктивном элементе ток отстает от напряжения на 90°, а на емкостном сопротивлении ток опережает напряжение на 90°.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 18 |
| Изм. | Лист | № докум | Подпись | Дата |

Обход начинаем от точки "2", потенциал которой принимаем за исходный (φ2 = 0). Точку "2" помещаем в начало координат комплексной плоскости. При переходе от точки "2" к точке "а" потенциал повышается на величину падения напряжения на сопротивлении R3. Вектор этого напряжения UR3 откладываем параллельно вектору тока I2 Конец вектора UR3 определяет потенциал точки "a". При переходе от точки "a" к точке "4" потенциал повышается на величину падения напряжения на сопротивлении R2. Конец вектора UR2 определяет потенциал точки "4". При переходе от точки "4" к точке "b" потенциал повышается на величину падения напряжения на сопротивлении R1. Вектор этого напряжения UR1 откладываем параллельно вектору тока I1. Конец вектора UR1 определяет потенциал точки "b". При переходе от точки "b" к точке "1" потенциал повышается на величину падения напряжения на индуктивном сопротивлении XL. Вектор этого напряжения UXL отстает по фазе вектор тока I1 на 90°. Конец вектора UXL определяет потенциал точки "1".

Аналогично строим векторы напряжений других участков цепи, сохраняя обход навстречу току. От точки "2" проводим вектор UXC под углом 90° к вектору I3, учитывая, что ток I3 параллелен по фазе с напряжение UXC, т.к. участок "5,6" содержит реактивное сопротивление ХC. Далее аналогично строим векторы напряжений, как делали ранее, сохраняя при этом обход навстречу току.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | Топографическая векторная диаграмма токов и напряжений однофазной цепи переменного тока | Лит. | | | Масса | | Масштаб |
| Изм. | Лист | № докум | Подпись | Дата |  | У |  |  | | 1:1 |
| Разраб. | | Масленко Р.П. |  |  |
| Провер. | | Тарасова Е.И. |  |  |
| Т. Контр. | |  |  |  | Лист 2 | | | | Листов 3 | |
| Реценз. | |  |  |  | МГКЭ | | | | | |
| Н. Контр. | | Тарасова Е.И. |  |  |
| Утверд. | |  |  |  |

I3

1

a

4

I2

I1

b

+1

+j

3

3 Расчет трехфазных линейных электрических цепей переменного тока

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 19 |
| Изм. | Лист | № докум | Подпись | Дата |

В соответствии с данными, приведенными ниже, необходимо провести:

1. Расчет трехфазной цепи при соединении методом треугольника.
2. Построение векторной диаграммы.

На рисунке 3.1 представлена схема соединения методом треугольника.

Данные:

Uл = 380 В

RAB = 12 Ом

RCA = 16 Ом

XLAB = 20 Ом

XLCA = 25 Ом

XCBC = 18 Ом

А

B

C

RCA

XLCA

XCBC

İBC

RAB

XLAB

İAB

İCA

Рисунок 3.1 – Трехфазная цепь

Необходимо определить: İAB, İBC, İCA, İA, İB, İC, S, P, Q.

При соединении трехфазной цепи методом треугольника, расчет будем вести символическим методом.

3.1 Расчет трехфазной цепи при соединении методом треугольника.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 20 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем фазные напряжения в комплексной форме:

Uл = Uф = 380 В, то есть ŮAB = ŮBC = ŮCA = 380 В

ŮAB = (В)

ŮBC = (В)

ŮCA = (В)

Рассчитаем сопротивления в комплексной форме для каждой ветки цепи:

ẔAB = RAB + jXLAB = 12 + j20 = (Ом)

ẔBC = ­jXCBC = ­j18 – 18e-j 90° (Ом)

ẔCA = RCA + jXLCA = 16 + j25 = (Ом)

Рассчитаем фазные токи в комплексной форме:

İAB =

İAB

İBC =

İBC =

İCA =

İCA =

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 21 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем линейные токи в комплексной форме:

İA = İAB – İCA

İA =

İB = İBC ­ İAB

İB = (А)

İC = İCA – İBC

İC = (А)

Рассчитаем мощности фаз и всей цепи:

ŜAB = ŮAB · I\*AB

ŜAB =

ŜBC = ŮBC · İ\*BC

ŜBC =

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 22 |
| Изм. | Лист | № докум | Подпись | Дата |

ŜCA = ŮCA · İCA

ŜCA =

Ŝэкв = ŜAB + ŜBC + ŜCA

Ŝэкв =

3.2 Построение векторной диаграммы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 23 |
| Изм. | Лист | № докум | Подпись | Дата |

Строим в масштабе векторную диаграмму напряжений и токов İAB, İBC, İCA, которые строятся под углами φAB, φBC, φCA к действительной оси. К концам векторов İAB, İBC, İCA пристраиваются отрицательные фазные токи согласно уравнениям:

İA = İAB- İCA

İB = İBC – İAB

İC = İCA - İBC

Выбираем масштаб MI = 3 A/см; MU = 50 В/см. Вычислим длины токов и напряжений:

İAB = 5,33 см

İBC = 7,04 см

İCA = 4,27 см

İA = 8,49 см

İB = 3,49 см

İC = 8,39 см

Ů = 7,6 см

На векторной диаграмме под углом 120° друг относительно друга строятся векторы фазных напряжений одинаковой длины.

Векторы фазных токов строятся в масштабе под вычисленными углами φ по отношению к фазным напряжениям. В фазе А нагрузка носит индуктивный характер, значит ток İA отстает от напряжения ŮA на угол φA.

Аналогично строим векторы токов других участков цепи.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | Векторная диаграмма токов и напряжений для трехфазной цепи при соединении фаз приемника треугольником | Лит. | | | Масса | | Масштаб |
| Изм. | Лист | № докум | Подпись | Дата |  | У |  |  | | 1:1 |
| Разраб. | | Масленко Р.П. |  |  |
| Провер. | | Тарасова Е.И. |  |  |
| Т. Контр. | |  |  |  | Лист 3 | | | | Листов 3 | |
| Реценз. | |  |  |  | МГКЭ | | | | | |
| Н. Контр. | | Тарасова Е.И. |  |  |
| Утверд. | |  |  |  |

İAB

+1

+j

Ů­CA

Ů­BC

Ů­AB

İCA

İB

İC

İA

İBC

-İBC

-İAB

-İCA

Заключение

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 24 |
| Изм. | Лист | № докум | Подпись | Дата |

В ходе курсового проекта провел расчеты линейных однофазных электрических цепей постоянного и переменного тока, а также расчет трехфазной цепи переменного тока при соединении треугольником. Расчеты провел в соответствии с методом узловых и контурных уравнений, а также методом контурных токов и символическим методом. В ходе выполнения были построены следующие диаграммы: потенциальная, топографическая и векторная токов и напряжений. Научился рассчитывать баланс мощностей. Закрепил знания касательно первого и второго законов Кирхгофа, а также закона Ома.

Список использованных источников

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП057МНЭ.016404.081 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Гутько Е.С. Теоретические основы электротехники. Курсовое проектирование: учеб. пособие / Е.С. Гутько, Т.С. Шмакова. – Минск: РИПО, 2020.