Министерство образования Республики Беларусь

Учреждение образования

«Минский государственный колледж электроники»

Специальность

**2-41 01 02 Микро- и наноэлектронные технологии и системы**

**Учебный предмет**

**«Проектирование микроэлектронных устройств»**

**Курсовой проект**

**Проектирование интегральной микросхемы логического элемента на многоэмиттерном транзисторе**

**Пояснительная записка**

КП 57МНЭ.016.00.00.000 ПЗ

**Разработал Р.П. Масленко**

**Руководитель Л.Н. Семенова**

**Оценка:**

**2022**

Содержание

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | | | | | | |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  | Проектирование интегральной микросхемы логического элемента на многоэмиттерном транзисторе  Пояснительная записка | Лит. | | | Масса | | Масштаб |
| Изм. | Лист | № докум | Подпись | Дата |  |  |  |  | |  |
| Разраб. | | Масленко Р.П. |  |  |
| Провер. | | Семенова Л.Н. |  |  |
| Т. Контр. | |  |  |  | Лист 2 | | | | Листов 25 | |
| Реценз. | |  |  |  | МГКЭ | | | | | |
| Н. Контр. | | Семенова Л.Н. |  |  |
| Утверд. | |  |  |  |

Введение……………………………………………………………………………….3

1 Анализ задания на проектирование. Принцип работы устройства ...................4

2 Обоснование и выбор реализации устройства и технологии изготовления микросхемы……………………………………………………………………………5

2.1 Выбор способа реализации ИМС………………………………………………..7

2.2 Выбор изоляции ИМС...........................................................................................11

2.3 Выбор структуры подложки…………………………….………………………12

3 Расчет и выбор элементов схемы.................................………………................13

3.1 Расчет биполярного транзистора......……………………………………………14

3.2 Расчет полупроводникового диода…............................................……………..16

3.3 Расчет полупроводникового резистора..........………………………………….17

4 Составление схемы коммутации устройства.........................................……...19

5 Проектирование топологии микросхемы с учетом конструктивно-технологических ограничений.................................................................................хх

6 Выполнение эскиза топологии микросхемы.....................................................хх

7 Проведение проверочных расчетов устройства...............................................хх

7.1 Тепловой расчет ИМС………………………………………………………….хх

7.2 Оценка паразитных связей……………………………………………………..хх

8 Выбор окончательного варианта топологии микросхемы..............................хх

9 Выбор корпуса микросхемы...............................................................................хх

10 Разработка технологической карты изготовления микросхемы.....................хх

Заключение…………………………………………………………………………..24

Список использованных источников………………………………………………25

Введение

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 3 |
| Изм. | Лист | № докум | Подпись | Дата |

Интегральная микросхема (ИМС) — это конструктивно законченное микроэлектронное изделие, выполняющее определенную функцию преобразования и обработки сигналов (информации), содержащее большое число электрически связанных между собой электрорадиоэлементов (транзисторов, диодов, конденсаторов, резисторов и т.д.), изготовленных в едином технологическом процессе. Микросхемы изготавливают групповым методом, одновременно в одной партии может быть от нескольких десятков до нескольких тысяч микросхем.

По конструктивно-технологическому принципу микросхемы делят на три группы: полупроводниковые, пленочные и гибридные.

В полупроводниковых микросхемах основой являются кристаллы полупроводника. Все элементы микросхемы — диоды, транзисторы, резисторы и соединения между ними — выполняют в объеме и на поверхности кристалла в процессе одного технологического цикла. Микросхема может содержать от десятков до тысячи элементов. По типу применяемых транзисторов полупроводниковые ИМС подразделяют на биполярные и МОП.

В пленочной интегральной микросхеме все элементы и соединения между ними выполняются в виде различных пленок, нанесенных на поверхность диэлектрической подложки. В настоящее время методом пленочной технологии изготавливают только пассивные компоненты — резисторы, конденсаторы и индуктивности, а также проводники. Так, если нужно создать резистор, то напыляется полоска металла. Для создания конденсатора на участок основания наносится слой проводника, потом диэлектрика, затем снова проводника и т.д.

В зависимости от толщины пленки и способа создания элементов пленочные микросхемы делят на тонко- и толстопленочные. К первому типу относятся микросхемы с толщиной пленки более 1 мкм, а толщина пленки в толстопленочной микросхеме составляет 10...70 мкм.

В гибридных интегральных схемах в качестве активных элементов используют навесные дискретные полупроводниковые приборы или полупроводниковые ИМС, а в качестве пассивных элементов — пленочные резисторы, конденсаторы, индуктивности и соединяющие их пленочные проводники.

Для защиты от внешних воздействий ИМС помещают в герметичные металлические или пластмассовые корпуса. Корпус микросхемы имеет внешние выводы для монтажа и маркировку. По размерам и объему корпус значительно превосходит саму микросхему.

По функциональному назначению и характеру выполняемых операций интегральные микросхемы делятся на аналоговые и цифровые.

Аналоговые микросхемы применяют в качестве усилителей, генераторов, стабилизаторов тока и напряжения и других устройств, которые работают с сигналами в виде непрерывных функций.

Цифровые интегральные микросхемы предназначены для преобразования и обработки дискретных сигналов (сигналов в виде последовательности импульсов). Они используются в вычислительной технике, автоматике, бытовой радиоэлектронной аппаратуре.

Показателем сложности микросхемы является степень интеграции К, которая характеризует число содержащихся в ней элементов и компонентов N (К= lg АО, К округляют до ближайшего большего целого числа.

По степени интеграции ИМС делятся на:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 5 |
| Изм. | Лист | № докум | Подпись | Дата |

* малые интегральные схемы (МИС) — имеют степень интеграции 1 и 2, в состав которых входят один или несколько видов функциональных аналоговых или логических элементов (логические элементы И, ИЛИ, НЕ, триггеры, усилители, фильтры и т.д.);
* средние интегральные схемы (СИС) — это схемы со степенью интеграции 1 и 2, в состав которых входят один или несколько одинаковых функциональных узлов электронных устройств (регистр, дешифратор, счетчик, постоянно запоминающее устройство);
* большие интегральные схемы (БИС) — это схемы со степенью интеграции 3, 4, в состав которых входят один или несколько функциональных устройств (арифметико-логическое устройство, оперативное запоминающее устройство и т.д.);
* сверхбольшие интегральные схемы (СБИС) — это интегральные схемы со степенью интеграции 5—7, представляющие собой законченные микроэлектронные изделия, способные выполнять функции аппаратуры (однокристальные ЭВМ, микропроцессоры).

1 Анализ задания на проектирование. Принцип работы устройства

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 6 |
| Изм. | Лист | № докум | Подпись | Дата |

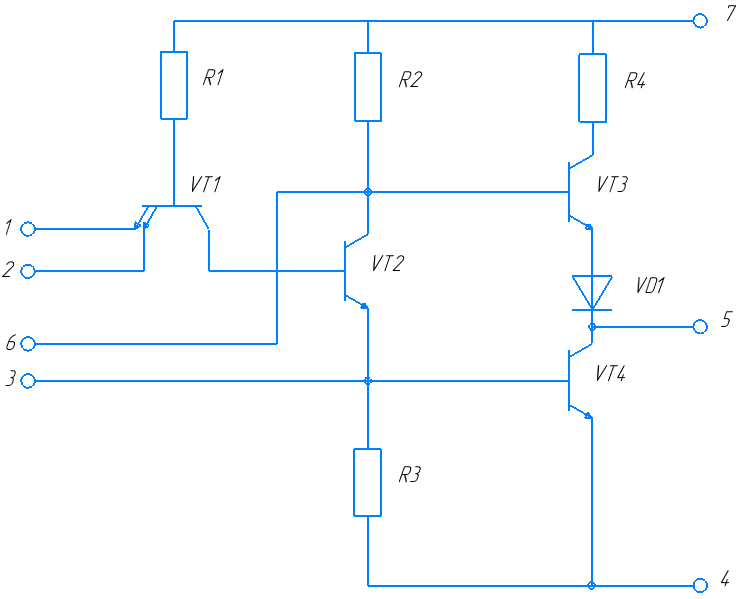


Рисунок 1.1 – Схема электрическая принципиальная. Логический элемент на многоэмиттерном транзисторе

Широкое распространение получили логические элементы транзисторно-транзисторной логики (ТТЛ). Рассмотрим принципиальную схему логического элемента 2И-НЕ транзисторно-транзисторной логики со сложным инвертором на выходе. Такие логические элементы имеют хорошую нагрузочную способность.

На рисунке 1.1 приведена принципиальная схема одного из четырех логических элементов 2И-НЕ микросхемы К134ЛБ1.

Первые логические элементы ТТЛ не имели на входах защитных диодов. В момент окончания прямоугольного импульса на входе элемента в монтажных цепях цифрового устройства могут возникнуть затухающие колебания. Следствием этих колебаний может быть ложное срабатывание цифрового устройства. В результате доработки логических элементов к каждому входу многоэмиттерного транзистора были подключены демпфирующие диоды. Первым отрицательным импульсом затухающего колебания демпфирующий диод открывается, и амплитуда затухающих колебаний резко уменьшается. Следующий положительный импульс затухающего колебания уже не может изменить состояние на выходе логического элемента.

Рассмотрим работу логического элемента 2И-НЕ микросхемы К134ЛБ1 (рисунок 1.1). для логических элементов транзисторно-транзисторной логики напряжение логического нуля по техническим условиям может быть 0 – 0.4 В. Напряжение логической единицы – не менее 2.4 В и не более 5 В. Напряжение логического нуля можно подать, соединив вход элемента с общим проводом накоротко, либо через резистор малого сопротивления (не более 300 Ом). Напряжение логической единицы на вход элемента можно подать, соединив вход элемента с плюсовым проводом питания через резистор сопротивлением 1 кОм, либо оставляя вход элемента свободным.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 6 |
| Изм. | Лист | № докум | Подпись | Дата |

Пусть на входы 1 и 2 элемента 2И-НЕ (рисунок 1.1) поданы напряжения логической единицы. Рассмотрим случай, когда 1 и 2 никуда не подключены. В этом случае транзисторы VТ2, VТ4 будут открыты токами базы, протекающими по цепи: + источника, резистор R1, переход база-коллектор VТ1, база-эмиттер VТ2, база-эмиттер VТ4, минус источника. Транзистор VТ3 в этом случае закрыт, т.к. потенциал коллектора транзистора VT2 примерно 0,9 В.

Рассмотрим делитель напряжения, верхнее плечо которого состоит из последовательно соединенных резистора R3, выводов коллектор-эмиттер транзистора VТ3, диода VД1, а нижнее плечо делителя – это выводы коллектор-эмиттер VТ4. В рассматриваемом случае сопротивление верхней части делителя велико, а сопротивление нижней части делителя - мало. Выходное напряжение соответствует логическому нулю.

Если хотя бы на одном из входов Х1, Х2 действует логический нуль, то VТ2, VТ4 закрыты, а VТ3 открыт. Ток базы транзистора VT3 протекает по цепи: плюс источника питания, резистор R2, переход база-эмиттер транзистора VT3, полупроводниковый диод VD1, резистор нагрузки (на схеме не показан), минус источника питания. В этом случае сопротивление между коллектором транзистора VT3 и катодом диода VD1 мало, а сопротивление между коллектором и эмиттером транзистора VT4 велико. Анализируя делитель напряжения, приходим к выводу, что выходное напряжение логического элемента будет соответствовать логической единице.

2 Обоснование и выбор реализации устройства и технологии изготовления микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 7 |
| Изм. | Лист | № докум | Подпись | Дата |

2.1 Выбор способа реализации ИМС

Полупроводниковые интегральные микросхемы получили широкое применение в основном из-за массового их использования в вычислительной технике.

Полупроводниковые ИМС – интегральная микросхема, все элементы и межэлементные соединения которой выполнены в объеме и на поверхности кристалла полупроводниковой подложки.

Полупроводниковые интегральные микросхемы изготовляют на основе планарной технологии полупроводниковых приборов. Все элементы полупроводниковых ИМС (транзисторы, диоды, резисторы, конденсаторы и др.) формируют в едином технологическом потоке в тонком поверхностном слое полупроводниковой пластины (подложки) диаметром 40-150 мм и толщиной 0.2-0,4 мм.

По сравнению с гибридными ИС полупроводниковые микросхемы имеют наиболее высокое число элементов в единице объема и наибольшую надёжность, т.е. наименьшую интенсивность отказов.

Недостаток полупроводниковых ИМС:

* Характеристики ИС в области высоких частот ухудшается из-за наличия паразитных емкостей;
* Пассивные элементы ИС имеют большие значения температурных коэффициентов;

2.2 Выбор изоляции ИМС

В одном кристалле полупроводниковой ИМС различными методами формируются отдельные элементы в схему, а также могут формироваться несколько отдельных схем (областей). Все элементы и компоненты схем, и отдельные схемы (области) находятся на очень малом расстоянии друг от друга, что требует обеспечения хороших изоляционных свойств между элементами и схемами для исключения нежелательных паразитных емкостных, индуктивных и резистивных связей между ними.

Наиболее распространенными методами изоляции элементов и компонентов, а также отдельных схем (областей), являются метод изоляции обратно смещенным электронно-дырочным *р-п-*переходом, диэлектрическая изоляция с помощью диэлектрика Si02и комбинированный метод изоляции, выполняемые по планарной технологии.

Количество и процент выхода годных микросхем зависит от изоляции элементов.

Существуют паразитные связи, и изоляция служит для их подавления.

Изоляция элементов полупроводниковых микросхем с помощью обратно смещенного *p–n* перехода кроме указанного имеет и другие принципиально неустранимые недостатки. К ним относятся: большая паразитная емкость изолирующих *p–n* переходов и появление дополнительных паразитных элементов в структуре микросхемы; необходимость подачи на изолирующий *p–n* переход определенного по величине и знаку напряжения смещения; наличие четырехслойных структур *n–p–n*и *p–n–p* типа, которые обладают положительной обратной связью по току, вследствие чего при воздействии на них ионизирующих факторов увеличение тока через эти структуры будет приводить к еще большему его возрастанию.

Указанные недостатки не позволяют добиться существенных успехов в росте быстродействия микросхем, увеличения степени их интеграции, радиационной стойкости и стабильности в интервале температур.

Основными недостатками конструкций с диэлектрической изоляциейэлементов являются: сложный технологический процесс и малый выход годных микросхем; плохой отвод тепла от элементов микросхемы в подложку, поскольку тепловое сопротивление диэлектрических материалов в десятки раз больше теплового сопротивления монокристаллического кремния; трудность создания разводки из–за сравнительно большого перепада высот рельефа поверхности в структурах КНД; высокая плотность дефектов структуры в изолированных островках кремния и низкая воспроизводимость параметров элементов микросхем.

Комбинированная изоляция сочетает технологичность изоляции *p–n* переходом и высокие качества диэлектрической изоляции: элементы микросхемы со стороны подложки изолированы обратно–смещенными *p–n* переходами, а с боковых сторон – диэлектриком (окислом, стеклом, керамикой, поликремнием и т.д.). Таким образом, изоляция *p–n* переходами заменяется изоляцией диэлектриком в наиболее уязвимом приповерхностном слое и с боковых сторон.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 8 |
| Изм. | Лист | № докум | Подпись | Дата |

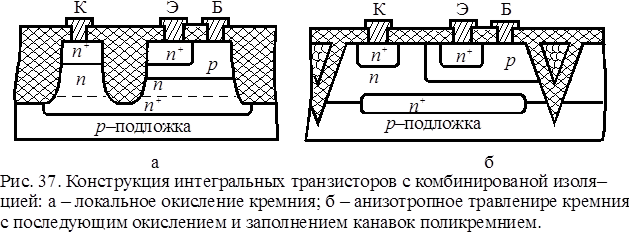


Рисунок 2.2.1 Конструкция интегральных транзисторов с комбинированной изоляцией : а - локальное окисление кремния ; б - анизотропное травление кремния с последующим окислением и заполнением канавок поликремнием.

Наибольшее распространение сегодня получили такие варианты комбинированной изоляции, как локальное окисление (изопланарная технология) (рис. 2.1, а) и вертикальное анизотропное травление с последующем заполнением канавок поликристаллическим кремнием (полипланарная технология) (рис. 2.1, б).

В основе технологических процессов лежит локальное сквозное “прокисление” или протравление тонкого (2…3 мкм) эпитаксиального слоя кремния *n*–типа, в результате этот слой оказывается разделенным на островки, в которых формируются элементы микросхем.

Комбинированная изоляция позволяет уменьшить паразитные емкости изолированных областей на подложку за счет устранения боковых участков *p–n* переходов (см. рис. 2.1), устранить токи утечки в области выхода *p–n* переходов на поверхность и на боковых участках *p–n* переходов (см. рис. 2.1). В то же время при методе комбинированной изоляции удается обеспечить хорошие условия теплоотвода и увеличить степень интеграции элементов в микросхеме за счет сокращения площади, отводимой под изоляцию.

Комбинированный метод изоляции является самым эффективным, но также самым дорогим с точки зрения технологического процесса и сложным в практической реализации. Но данный метод имеет достаточное количество преимуществ перед другими методами. Комбинированный метод сильно понижает паразитные емкости и токи утечки, в отличии от более дешевого метода изоляции p-n переходом. Также имеет хорошие условия для теплоотвода.

Самым главным плюсом является высокая степень интеграции ИМС.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 9 |
| Изм. | Лист | № докум | Подпись | Дата |

2.3 Выбор структуры подложки

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 10 |
| Изм. | Лист | № докум | Подпись | Дата |

Подложка ИС – несущая часть ИС, на или в которой формируются слои, элементы и компоненты ИС.

Подложка является одним из важнейших конструктивных элементов ИС.

Подложка ИС выполняет конструктивно-технологические и электрические функции, являясь обычно изолятором между элементами ИС.

Подложки полупроводниковых микросхем могут быть проводящими и непроводящими. Вопрос о выборе материалов при конструировании полупроводниковых микросхем решается в зависимости от многочисленных факторов. Прежде всего принимаются во внимание электрические и другие параметры, которыми должна обладать микросхема. В качестве материала для проводящих подложек чаще всего используют монокристаллический кремний в виде пластин диаметром 60…150 мм и толщиной 250…400 мкм. Технология изготовления пластин должна обеспечивать необходимое качество обработки поверхности, причем рабочая поверхность обрабатывается до14-го класса чистоты, а нерабочая – до 12-го класса. Поверхность подложки ориентируется параллельно плоскости (111), (100) или (110).

Очень часто для изготовления полупроводниковых микросхем используют двухслойные кремниевые эпитаксиальные пластины различных марок, а также эпитаксиальные структуры со скрытым n+-слоем (рис. 5.1), состоящие из трех слоев: слоя кремния проводимостью р-типа; локального низкоомного слоя кремния проводимостью n-типа (скрытый n+-слой); эпитаксиального слоя кремния n-типа.

К диэлектрическим подложкам предъявляются следующие требования?

1. Материал подложки должен обладать малыми значениями тангенса угла диэлектрических потерь tgd и относительной диэлектрической проницаемости e. Это обеспечивает получение минимальных токов утечки и паразитных емкостей между областями монокристаллического кремния.

2. Механическая прочность подложки должна быть высокой даже при небольшой толщине.

3. Рабочая поверхность подложки должна поддаваться обработке не ниже, чем до 14-го класса чистоты.

4. Коэффициент термического расширения (КТР) материала подложки должен быть согласован с КТР монокристаллического кремния.

5. Материал подложки должен обладать высокой химической стойкостью относительно воздействия жидких и газовых сред, применяемых в процессе производства полупроводниковых микросхем.

6. Материал подложки должен иметь высокую теплопроводность для обеспечения отвода тепла от элементов микросхем.

Эпитаксиальные пластины кремния применяются в производстве высокопроизводительных микросхем, радиационно-стойкой электроники, дискретных приборов на контактах металл-полупроводник. Основным преимуществом данных пластин по сравнению с пластинами монокристаллического кремния является наличие p-n перехода между приборным слоем и основной частью подложки — это позволяет уменьшить токи утечки, паразитные явления между соседними элементами, а значит снизить электрическую мощность, потребляемую конечными изделиями.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 12 |
| Изм. | Лист | № докум | Подпись | Дата |

Конкурентные преимуществак данному типу пластин:

1. Превосходное кристаллическое совершенство эпитаксиальных слоев за счет высочайшей степени предэпитаксиальной доочистки процессных газов и реагентов.

2. Уникальная технология подавления автолегирования при выращивании толстых и сверх-высокоомных эпитаксиальных слоев.

3. Эффективное соотношение стоимости и характеристик эпитаксиальных структур за счет групповой обработки.

4. Возможность поставки структур малыми партиями.

3 Расчет и выбор элементов схемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 12 |
| Изм. | Лист | № докум | Подпись | Дата |

3.1. Расчет биполярного транзистора

Таблица 3.1.1 – Исходные данные для расчета биполярного транзистора

|  |  |
| --- | --- |
| Максимальное напряжение К-Б (Uкбmax), B | 15 |
| Рабочее напряжение К-Б (Uкбраб), В | 5 |
| Максимальное напряжение Э-К (Uэкmax), В | 20 |
| Рабочее напряжение Э-К (Uэкраб), В | 10 |
| Рабочее напряжение Э-Б (Uэбраб), В | 10 |
| Мощность рассеивания (Pрасс), Вт | 0,1 |
| Максимальная мощность рассеивания (Ррассmax), Вт | 0,15 |
| Ток эмиттера (Iэ), мА | 1 |
| Максимальный ток коллектора (Iкmax), мА | 20 |
| Глубина залегания p-n перехода (Xjk), мкм | 2,5 |

По заданному максимально допустимому напряжению Uкбmax определим пробивное напряжение Uпроб:

Относительно диапазона Uпроб выбираем коэффициент запаса k = 1.2…2 => k = 1.5.

Uпроб = Uкбmax · k = 15 · 1.5 = 22.5 В

По графику зависимости концентрации носителей от пробивного напряжения определяем Nдк = 5 · 1016 см-3

Рассчитаем удельное сопротивление коллекторного перехода:

Определим характеристическую длину в распределении примесей акцепторов La:

Для расчета ширины объемного заряда на коллекторном и эмиттерном переходах, предварительно вычисляем потенциал:

Контактную разность потенциалов на коллекторном переходе вычисляют по формуле:

Где φT – тепловой потенциал = 0,026 В при Т = 300 К;

ni – концентрация собственных носителей заряда в кремнии 1010 см-3

Рассчитываем ширину области объемного заряда, распространяющегося в сторону базы и в сторону коллекторного перехода при максимальном смещении коллекторного перехода :

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 14 |
| Изм. | Лист | № докум | Подпись | Дата |

Выбираем ширину технологической базы, которая должна быть больше ширины слоя объемного заряда на коллекторном переходе , так как последний будет иметь максимальную ширину при :

Находим размеры коллектора, имеющего квадратную форму со стороной h, где:

Площадь эмиттера можно определить исходя из допустимой плотности тока эмиттера Jэкр, при которой коллекторный переход находится при нулевом смещении, когда транзистор еще не вошел в режим насыщения:

где

Минимальное напряжение на участке эмиттер-коллектор транзистора рассчитывают по максимальной мощности на p-n переходе  и максимальному току коллектора :

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 13 |
| Изм. | Лист | № докум | Подпись | Дата |

Размеры остальных областей транзистора, а также его общая площадь могут быть определены исходя из известной площади эмиттера Sэ, минимальной ширины контактов, минимального расстояния между контактами и других конструктивно-технологических ограничений, принятых для данной технологии изготовления полупроводниковой ИМС.

Выбираем из банка транзисторных структур предприятия-изготовителя структуру многоэмиттерного транзистора. Структура – многоэмиттерный транзистор П1, к.

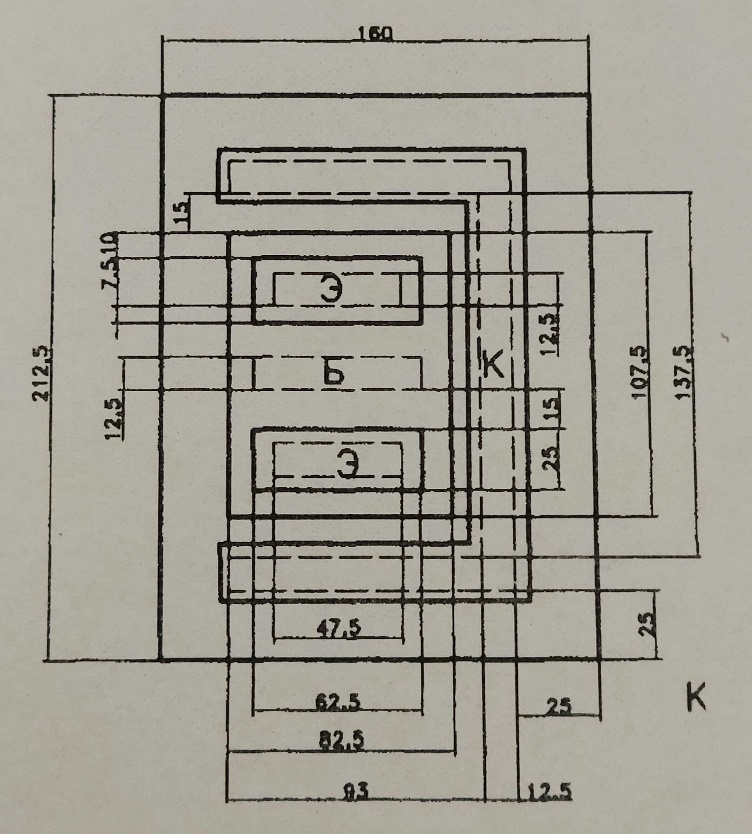


Рисунок 3.1.1 – Структура многоэмиттерного транзистора из банка данных

Сравним рассчитанные площадь эмиттера и коллектора и данные из банка:

Skрасч < Skбанк

где Skбанк = 34000 мкм2;

Skрасч = 2948 мкм2.

Sэрасч < Sэбанк

где Sэбанк = 3125 мкм2;

Sэрасч = 333 мкм2.

Можем сделать вывод, что по площадям коллектора и эмиттера, структура транзистора из банка данных подходит.

Выбираем из банка транзисторных структур предприятия-изготовителя структуру биполярного транзистора. Структура – биполярный транзистор П1, к.

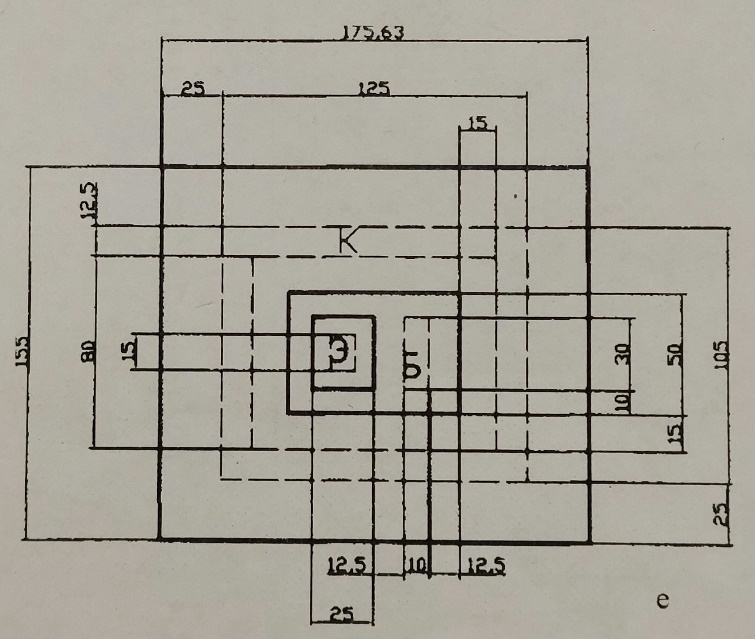


Рисунок 3.1.2 – Структура биполярного транзистора из банка данных

Сравним рассчитанные площадь эмиттера и коллектора и данные из банка:

Skрасч < Skбанк

где Skбанк = 12450 мкм2;

Skрасч = 2948 мкм2.

Sэрасч < Sэбанк

где Sэбанк = 375 мкм2;

Sэрасч = 333 мкм2.

Можем сделать вывод, что по площадям коллектора и эмиттера, структура транзистора из банка данных подходит.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 15 |
| Изм. | Лист | № докум | Подпись | Дата |

3.2 Расчет полупроводникового диода

Так как ИМС цифровая, то переход база – коллектор замкнут => для построения диода будет использоваться переход база – эмиттер.

Таблица 3.2.1 – Исходные данные для расчета диода

|  |  |
| --- | --- |
| Площадь эмиттера (Sэ), мкм2 | 375 |
| Ширина стороны эмиттера (Rэ), мкм | 15 |
| Площадь базы (Sб), мкм2 | 300 |
| Ширина стороны базы (Rб), мкм | 10 |
| Удельное поверхностное сопротивление активной области базы (ρба), Ом/□ | 200 |
| Удельное поверхностное сопротивление пассивной области базы (ρбп), Ом/□ | 5500 |
| KK | 0 |
| М | 1 |
| Δ, мкм | 3,5 |
| hk, мкм | 5 |
| hэ, мкм | 1,2 |
| hб, мкм | 2,5 |
| Lпб, мкм | 25 |
| Nдэ(hэ), см | 5 1017 |
| Концентрация донорной примеси в коллекторе (Nдк) | 5 1016 |
| Дпб | 2 |
| Дрэ | 3 |

Рассчитаем длины эмиттера и базы:

Значения омических сопротивлений областей транзистора можно оценить по формулам:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 16 |
| Изм. | Лист | № докум | Подпись | Дата |

Ширина базы составляет:

Коэффициенты La, Lд высчитываются по формулам:

Максимальные напряжения переходов (коллектор – база, эмитер – база, эмиттер – коллектор) рассчитываются по формулам:

где – температурный потенциал

= 0,026.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 17 |
| Изм. | Лист | № докум | Подпись | Дата |

Емкость перехода коллектор – база и эмиттер – база определяется как:

Обратный ток эмиттера определяется по формуле:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 19 |
| Изм. | Лист | № докум | Подпись | Дата |

Обратный ток коллектора определяется по формуле:

=

Из банка данных диодных структур, выполненных по планарно-эпитаксиальной технологии, выбираем структура на переходе БЭ:

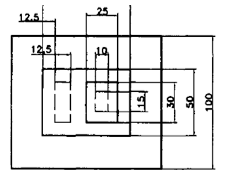


Рисунок 3.2.1 – Интегральный диод на переходе БЭ

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 20 |
| Изм. | Лист | № докум | Подпись | Дата |

3.3 Расчет полупроводниковых резисторов

По исходным данным резистора, рассчитаем его параметры. Резисторы будут выполнены на основе базового слоя, т.к. их сопротивление находится в диапазоне до 60 кОм.

Таблица 3.3.1 – Данные резистора, выполненного на базовом слое

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Тип резистора | Толщина слоя, мкм |  |  | ТКС, 1% |
| Диффузионный на базовом слое | 2,5-3,5 | 100-300 | (5-20) | 2\*10-3 |

Таблица 3.3.2 – Исходные данные для расчета

|  |  |
| --- | --- |
| R1 (Ом) ± 20% | 5000 |
| R2,4 (Ом) ± 20% | 250 |
| R3 (Ом) ± 20% | 1000 |

Находим коэффициент формы для резистора:

Определим ширину резистивной полосы. Принимаем ∆b = 0,1 мкм, ∆l = 0,1 мкм, тогда:

Найдем погрешность коэффициента формы:

где - погрешность коэффициента формы; – полная относительная погрешность изготовления резистора; – погрешность воспроизведения величины резистивной пленки (для типовых технологических процессов ).

γt - Температурная погрешность зависит от ТКС резистивного материала:

где

где – температурный коэффициент сопротивления, = 1,5\*10-3 °C

Находим ширину bp для резистора:

Рассчитаем переходное сопротивление контакта Rк:

Рассчитаем дополнительное сопротивление Rкдоп:

где,

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 21 |
| Изм. | Лист | № докум | Подпись | Дата |

Рассчитаем площадь контакта:

Рассчитаем длину контакта

Находим промежуточное значение ширины резистора:

Находим расчетную длину резистора:

Находим промежуточное значение длины резистора:

Выбираем из банка транзисторных структур эталон резистора Э20 на 1 кОм с размерами:

b = 20 мкм; l = 90 мкм; Кф = 4,5.

Выбираем из банка транзисторных структур эталон резистора Э23 на 5 кОм с размерами:

b = 15 мкм; l = 312,5 мкм; Кф = 20,83.

Выбираем из банка транзисторных структур эталон резистора Э18 на 250 Ом с размерами:

l = 62,5 мкм.

|  |  |  |  |
| --- | --- | --- | --- |
| Номинал, кОм | Эталон | Размер – b, мкм | Размер – l, мкм |
| 5 | Э23 | 15 | 312,5 |
| 1 | Э20 | 20 | 90 |
| 0,25 | Э18 |  | 62,5 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 22 |
| Изм. | Лист | № докум | Подпись | Дата |

4 Составление коммутационной схемы устройства

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 24 |
| Изм. | Лист | № докум | Подпись | Дата |

Непосредственно перед разработкой топологии микросхемы составляется схема расположения, называемая также коммутационной. Исходными данными для разработки коммутационной схемы является схема электрическая принципиальная. Коммутационная схема представлена на рисунке 4.1.

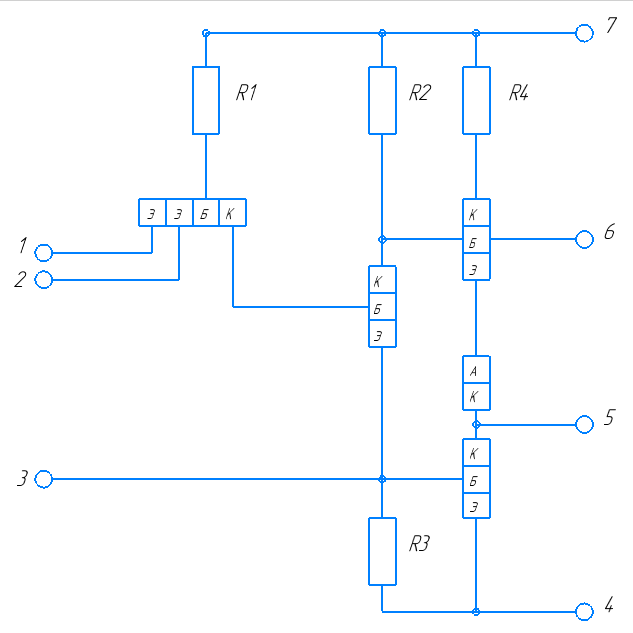


Рисунок 4.1 – Коммутационная схема устройства

За основу принимается принципиальная электрическая схема, преобразованная с учетов конструктивных особенностей элементов, компонентов и межсоединений. Сокращается по возможности число пересечений проводников. В соответствии с техническими требованиями

топологии располагаются внешние контактные площадки.

Схема электрическая принципиальная представлена на рисунке 1.1.

5 Проектирование топологии интегральной микросхемы с учетом конструктивно-технологических ограничений

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Для разработки топологической схемы ИМС необходимо учитывать следующие конструктивно-технологические ограничения для полупроводниковых микросхем:

1) Суммарная изолирующих p-n-переходов площадь должна быть минимальной, так как их емкость является паразитной;

2) Диффузионные резисторы, формируемые на основе базового слоя, можно располагать в одной изолированной области, которая подключается к точке схемы с наибольшим положительным потенциалом;

3) Резисторы на основе эмиттерного и коллекторного слоев следует располагать в отдельных изолированных областях;

4) Транзисторы типа n-p-n, коллекторы которых подсоединены непосредственно к источнику питания, целесообразно размещать в одной изолированной области вместе с резисторами;

5) Транзисторы типа n-p-n, которые включены по схеме с общим коллектором, можно располагать в одной изолированной области;

6) Для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при варке проволочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

7) Для диффузионных конденсаторов требуются отдельные изолированные области. Исключение составляют случаи, когда один из выводов конденсатора является общим с другой изолированной областью;

8) Для диффузионных перемычек всегда требуются отдельные изолированные области.

6 Разработка эскиза топологии микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

На этапе эскизного проектирования топологии необходимо предусмотреть решение следующих задач: расположить как можно большее число резисторов в одной изолированной области; подать наибольший потенциал на изолированную область, где размещены резисторы; подать наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада, рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии, сократить число изолированных областей и уменьшить периметр каждой изолированной области.

На данном этапе проектирования разрабатываем предварительный вариант топологии, который вычерчиваем на миллиметровой бумаге в выбранном масштабе 200:1 по ГОСТ 2.302.

При проектировании слоя металлизации размеры контактных площадок и проводников следует брать минимально допустимыми, а расстояния между ними – максимально возможными.

При разработке топологии необходимо высчитать основные размеры элементов, а также минимальную площадь кристалла ИМС. Это позволяет увеличить производительность, снизить материалоемкость и повысить выход годных ИМС.

7 Проведение проверочных расчетов устройства

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

7.1 Тепловой расчет ИМС

Корпус полупроводниковой ИС не только защищает элементы кристалла от воздействия внешних механических и климатических факторов, но и обеспечивает необходимый тепловой режим элементов.

Проблема теплоотвода тесно связана с проблемой обеспечения высокой надежности микросхем. Экспериментальные данные показывают, что интенсивность отказов возрастает в 1,5…2 раза на каждые 10оС повышения температуры p-n-переходов кристалла.

Конструкция корпуса и теплотехнические свойства материалов в значительной степени определяют тепловой режим элементов кристалла. На рисунке 7.1.1 показана упрощенная модель распределения тепловых потоков в ИМС.

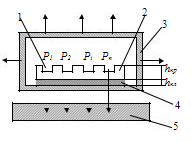


Рисунок 7.1.1 – Упрощенная модель распределения тепловых потоков в ИМС: 1 – источник тепла; 2 – кристалл; 3 – клеевая прослойка (припой); 4 – корпус; 5 – теплоотвод.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

7.2 Оценка паразитных связей

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Определим паразитную емкость в участке, где она наибольшая. Частичные емкости между проводниками, параллельно расположенными на подложке и находящимися в окружении других проводников показаны на рисунке 7.2.1:

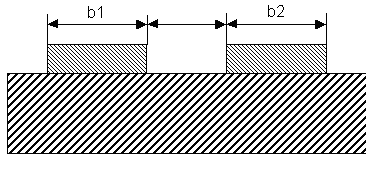


Рисунок 7.2.1 – Вариант расположения проводящих пленочных элементов

Расчетная диэлектрическая проницаемость определяется по формуле:

где – диэлектрическая проницаемость окружающей среды; – диэлектрическая проницаемость материала подложки.

Емкостной коэффициент *с* для проводящих пленочных элементов, расположенных в соответствии с рисунком 7.2.1 рассчитывается по формуле:

где, ; .

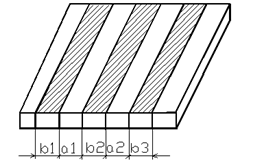


Рисунок 7.2.2 – Система параллельных проводников

Емкость между двумя произвольно расположенными на подложке пленочными проводящими элементами определяют по формуле:

где - емкостный коэффициент; – длина пленочных проводников.

Полученная емкость между проводниками незначительна, и она не вызовет заметных помех при эксплуатации ИМС.

Характерной особенностью интегрального n-p-n транзистора является появление в его структуре паразитного p-n-p транзистора. Эмиттером этого транзистора служит p-база n-p-n транзистора, базовой областью – коллекторная n-область n-p-n транзистора, а коллекторной областью – p- подложка.

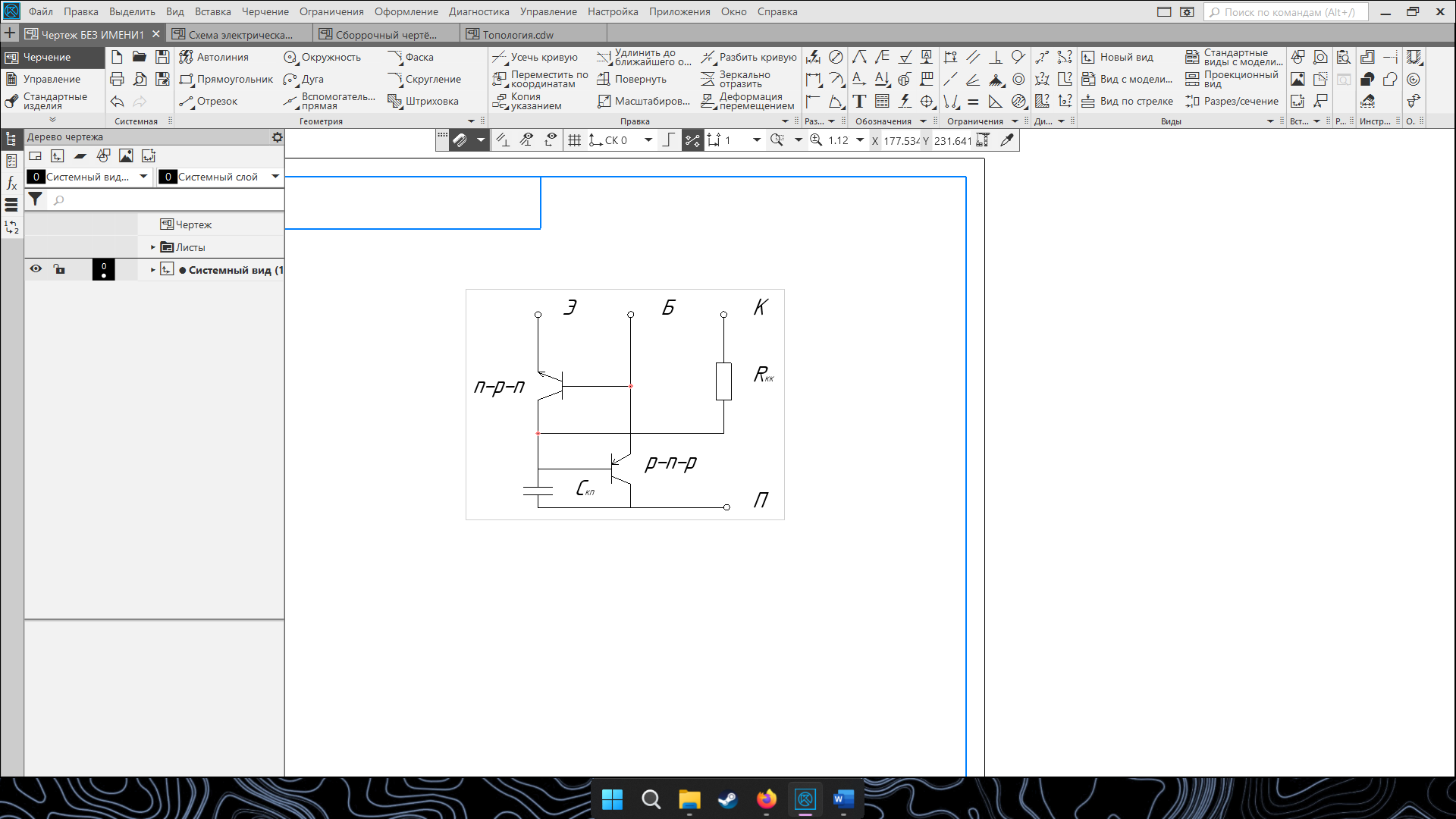


Рисунок 7.2.3 – Условная схема паразитного транзистора

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Как уже отмечалось, подложка должна иметь наименьший потенциал в структуре, чтобы обеспечить изоляцию обратно включенным p-n-переходом. Это требование определяет возможные режимы работы паразитного транзистора: он будет нормальным активным, если n-p-n транзистор находится в режиме насыщения, и в режиме отсечки, когда n-p-n транзистор работает в нормальном активном режиме.

В последнем случае влияние паразитного p-n-p транзистора сводится лишь к увеличению коллекторной емкости основного транзистора на величину емкости Скп перехода коллектор-подложка. Чтобы в первом случае уменьшить ответвление (утечку) коллекторного тока n-p-n транзистора, в p-слой подложки, имеющей наименьший потенциал, необходимо, чтобы коэффициент передачи тока паразитного транзистора пар был очень малым.

Это достигается при сильнолегированном n+ слое, входящем в состав базовой области паразитного транзистора ( пар ~ 0,01). Однако в этом случае паразитный транзистор потребляет значительный ток, идущий в подложку через цепь эмиттер-база паразитного транзистора, а не через его коллекторный переход. Следует заметить, что при использовании диэлектрической изоляции паразитный транзистор отсутствует, но паразитная емкость коллектор-подложка остается. Исходя из полученных расчетов, мы видим, что полученные паразитные емкости минимальны, соответственно не вызовут помех и сбоев в работе микросхемы, поэтому ими можно пренебречь.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

8 Выбор окончательного варианта топологии микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

После предварительного варианта делаем оценку качества топологии. После проверки соответствия технологическим ограничениям, принимаем окончательный вариант топологии устройства.

Окончательный вариант топологии микросхемы представлен на рисунке 8.1.

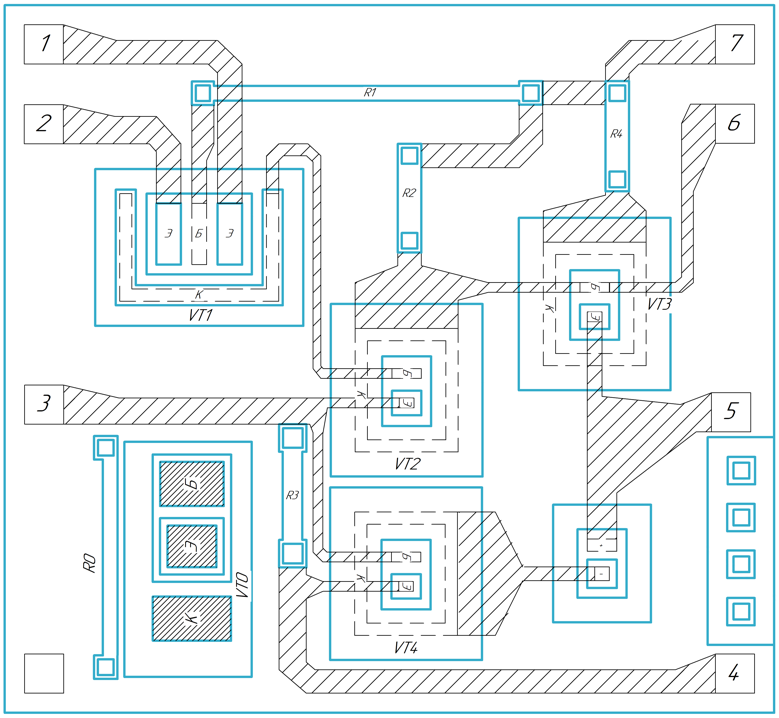


Рисунок 8.1 – Окончательный вариант топологии

9 Выбор корпуса микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Корпуса служат для защиты микросхем от механических, климатических и других воздействий. Важнейшие требования, которым должна отвечать конструкция корпуса, сводятся к следующему:

1) Защита микросхем от влияния окружающей среды и механических воздействий;

2) Поддержание чистоты и стабильности атмосферы, окружающей микросхемы;

3) Обеспечение удобства и надежности монтажа;

4) Отвод тепла от микросхемы, размещенной внутри корпуса;

5) Обеспечение надежного электрического соединения контактных площадок микросхем с выводами корпуса;

6) Обеспечение надежного крепления корпуса при монтаже в аппаратуре.

В зависимости от материалов, используемых для изготовления корпусов, различают стеклянные (СТ), металлостеклянные (МС), металлополимерные (МП), пластмассовые (ПЛ) и керамические (К).

В данной разработке будет использоваться металлокерамический корпус. Основу конструкции корпуса составляет рамка с ленточными выводами. Рамку получают путем штамповки коваровой или никелевой ленты. На рамке имеются технологические перемычки, которые удаляются после герметизации. На выводах рамки, в местах присоединения проволочных выводов от микросхемы, напыляется золото. Для увеличения механической прочности кристалла и проволочных выводов структуру предварительно защищают пластичным компаундом.

Герметизацию корпуса производим клеем (ВК-20Т). Приклеивание крышки к основанию корпуса применяют при герметизации приборов в корпусах больших габаритов, к которым предъявляются невысокие требования по герметичности, или для наклеивания оптических окон (стекло, германий и т.д.) на металлическую рамку, используемую в качестве крышки корпуса. Для приклеивания крышек корпусов применяют различные клеевые составы с высокой вязкостью в жидком состоянии, а для приклеивания оптических окон – порошковые клеевые составы, состоящие из смеси эпоксидного мономера, ангидридного отвердителя, пластифицирующего модификатора и мелкодисперсного неорганического наполнителя. На площадь склеивания до 0,5 мм клей наносят напрессовкой, а на большую поверхность клей продавливают через проволочный трафарет. Затем клей оплавляют при температуре 140…150оС с образованием формополимера. Крышки помещают в специальные кассеты клеем вверх, сверху укладывают основания корпусов и помещают в термошкаф. Процесс склеивания состоит из процесса желирования (при температуре 155…160оС в течение 10…20 ч) и процесса отвердения (при температуре 155.160оС в течение 24 ч).

Выбираем тип корпуса DIP-8 и разрабатываем сборочный чертеж. Вид корпуса показа на рисунке 9.1.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

10 Разработка технологического маршрута изготовления микросхемы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

Для заключительного этапа разработки полупроводниковой микросхемы необходимо задать типовой технологический маршрут изготовления микросхемы.

Типовой технологический маршрут изготовления микросхемы включает в себя следующие этапы:

1. Изготовление оригинала

2. Подготовка подложки

3. Напыление резистивного слоя

4. Фотолитография резистивного слоя

5. Напыление проводящей пленки

6. Фотолитография проводящего слоя

7. Напыление диэлектрического слоя

8. Фотолитография диэлектрического слоя

9. Напыления проводящего слоя

10. Фотолитография проводящего слоя

11. Контроль параметров пленочных элементов

12. Напыление защитного слоя

13. Фотолитография защитного слоя

14. Контроль внешнего вида

15. Скрайбирование платы

16. Ломка платы

17. Крепление навесных компонентов

18.Приварка выводов навесных компонентов к контактным площадкам

19. Контроль электрических параметров

20. Сборка в корпус

21. Маркировка

22. Упаковка

Заключение

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

В данном курсовом проекте был проведен процесс расчета и проектирования полупроводниковой интегральной микросхемы логического элемента на многоэмиттерном транзисторе.

Был проведен анализ принципиальной схемы и данных на проектирование, в результате чего была выбрана и обоснована реализация устройства, технологический процесс создания микросхемы для данного устройства, а также на основе этих данных была выбрана подложка и изоляция для нашей микросхемы.

Следующим пунктом были проведены расчеты всех элементов микросхемы на основе данных для проектирования.

По результатам расчетов были выполнены схемы коммутации, топологические чертежи и произведены проверочные расчеты устройства. Был сделан обоснованный выбор технологии изготовления микросхемы, на основании которого разработан технологический процесс. Был произведен выбор корпуса исходя из условий технического задания. Разработан комплект конструкторско-технологической документации на интегральную микросхему в соответствии с техническим заданием на проектирование.

Список используемых источников

1. Жигальский А., А. Проектирование и конструирование микросхем. Томск. 2007.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | КП 57МНЭ.016.00.00.000 ПЗ | Лист |
|  |  |  |  |  | 25 |
| Изм. | Лист | № докум | Подпись | Дата |

2. Меркулов А.И., Меркулов В.А. Основы конструирования интегральных микросхем. Самара, 2013.

3. Малаханов А.А., Основы проектирования электронной компонентной базы. Брянск, 2015

4. Колосницын Б.С., Расчет и проектирование биполярных транзисторов. Минск, 2011.

5. Шелохвостов В.П., Чернышов В.Н. Проектирование интегральных

микросхем. Тамбов, 2008.

6. Торгонский Л.А. Проектирование интегральных МС и микропроцессоров. Томск, 2011.

7. Фенькова Н.Б., Семенова О.Б. Интегральные устройства РА.

Технология МС и МП. Красноярск, 2010.

8. Романова М.П., Сборка и монтаж интегральных микросхем. Ульяновск, 2008.

9. Певчев В.П. Лекции по курсу «Микроэлектроника». Тольятти 2006.

10. Колосницын Б.С. Расчет и проектирование биполярных транзисторов 2011.

11. Ермаков С.Ф. Минин В.Е. Гаврилов В.С. Биполярные транзисторы .Гомель 2008.